

3

(19)日本国特許庁 (JP)

(12) 特許公報 (B2)

(11)特許番号

第2583057号

(45)発行日 平成9年(1997)2月19日

(24)登録日 平成8年(1996)11月21日

(51)Int.Cl.[®]
G 0 1 R 31/28
H 0 1 L 21/66

識別記号

府内整理番号

F I
G 0 1 R 31/28
H 0 1 L 21/66
G 0 1 R 31/28技術表示箇所
H
Z
Y

発明の数1(全7頁)

(21)出願番号 特願昭62-133815
 (22)出願日 昭和62年(1987)5月29日
 (65)公開番号 特開昭63-298178
 (43)公開日 昭和63年(1988)12月5日

(73)特許権者 99999999
 株式会社 アドバンテスト
 東京都練馬区旭町1丁目32番1号
 (72)発明者 植田 基夫
 東京都練馬区旭町1丁目32番1号 株式
 会社アドバンテスト内
 (72)発明者 長谷川 真平
 東京都練馬区旭町1丁目32番1号 株式
 会社アドバンテスト内
 (72)発明者 清水 繁行
 東京都練馬区旭町1丁目32番1号 株式
 会社アドバンテスト内
 (74)代理人 弁理士 草野 卓
 審査官 中塚 直樹

最終頁に続く

(54)【発明の名称】 ICテストシステム

(57)【特許請求の範囲】

【請求項1】被試験素子の入力端子への制御信号の設定命令、被試験素子の出力端子からの出力信号の測定命令などの実行命令が行単位で記録されたテストプログラムを行単位で読み出してその読み出した命令を複数の下位の処理装置へ送る上位の処理装置と、
 上記上位の処理装置から送られた命令を実行するに必要な各種制御乃至処理を、上記命令に応じたプログラムを読み出して、複数のハードウェアモジュールに対して行う上記複数の下位の処理装置と、
 上記下位の処理装置からの制御乃至処理に応じて被試験素子にテスト信号を接続したり、被試験素子の出力信号を測定したりする上記複数のハードウェアモジュールとからなり、
 上記複数の下位の処理装置と上記上位の処理装置との間

に複数信号線が接続され、
 上記複数の下位の処理装置はそれぞれ複数被試験素子に対し良・不良の判定をする手段と、その各被試験素子ごとの判定結果を、その被試験素子と対応した上記信号線の1つにそれぞれ出力する手段とを有するICテストシステム。

【発明の詳細な説明】

「産業上の利用分野」

この発明は階層構造をした分散型アーキテクチャを有するICテストシステムに関する。

「従来の技術」

第3図は従来のICテストシステムの構成例を示す図である。ICテストシステムでは、被試験素子を試験するテストシーケンスが記述されたプログラムが記憶装置(図示せず)に格納されており、中央処理装置11が記憶装置

からそのテストプログラムを読み出して順次実行するよう構成され、例えば半導体メモリ素子を試験するためのテスト動作の全てを中央処理装置11が制御するようになっている。

中央処理装置11には制御線12によりハードウェアモジュール13A, 13B, 13C~13Nが接続されており、中央処理装置12がテストプログラムを解説して実行するに伴って出力する制御信号はこれらハードウェアモジュール13A, 13B, 13C~13Nに供給される。

その制御信号は、例えば、被試験素子の所定の入力端子に対して5.25Vの直流信号を供給するための制御信号であり、この制御信号が供給されると、例えばハードウェアモジュール13Aは5.25Vの直流信号を被試験素子の指定された入力端子に対して供給する。

また、中央処理装置11が出力する制御信号は例えば信号を測定することを指令する制御信号であり、直流電圧を測定するための例えばハードウェアモジュール13Bは、この制御信号が供給されると、被試験素子の指定された出力端子に接続され、その信号電圧を測定する。

これ等のハードウェアモジュール13A, 13B, 13C~13Nはマイクロプロセッサ14が組み込まれていてもよい。汎用の論理素子だけで試験回路を組むと膨大な個数の論理素子を必要としても、論理回路の多くの部分をマイクロプロセッサ14で組むことにより回路基板を小型に構成することができる。この場合のマイクロプロセッサ14は単なる論理素子の代替えであり、予め決められたシーケンス制御をするだけであって、特別の判断制御機能を必要とするような使い方は一般にされていない。

このようなICテストシステムでは、ハードウェアモジュール13A, 13B, 13C~13Nは数にして通常は、数十回路以上が備えられており、入出力端子の数が比較的に少ない被試験素子は数個の素子を同時に試験することができる。

「発明が解決しようとする問題点」

中央処理装置はプログラムの解説と実行、つまり、被試験素子の試験を行うための制御信号をハードウェアモジュールなどに出力すると共に、被試験素子が出力する信号の測定及び測定結果の良否の判定など、ICテストシステムの動作に必要とされるあらゆる演算制御を行う必要がある。

例えば、テストプログラムに記述されている電圧信号を被試験素子に供給する場合には、中央処理装置はそのデジタルデータ値をハードウェアモジュールに供給したり、被試験素子の出力信号を測定する場合には、得られた測定値を必要に応じて補正換算し、所定の判定表と比較して良否の判定をしたり或いはランク付けをすることもある。

このようにして実行された試験結果は各ハードウェアモジュール毎にその試験結果或いは測定データが記憶され、その記憶されている試験結果を集めて、総合的に判

断することによりその被試験素子に関する良不良の判定を下している。更に、各試験項目についての測定値の判定及び総合に多大な時間を費やすことになり、速やかな試験を行うことができない。とりわけ電流信号入力-電圧信号出力特性、電圧信号入力-電流信号出力特性のようなDCテストを多数の入出力端子を有する被試験素子に対して迅速且つ正確な試験を実施するのは不可能に近い。

また、ICテストシステムでは、一台の中央処理装置にシステム制御の全てを任せていると、試験速度が遅くなるので、複数の処理装置を用いて構成された分散処理システムを考えることもできる。このような分散処理システムでは、各処理装置がそれぞれ担当して行った各種の試験項目について、一台の主処理装置がそれら試験結果を順次集め、集められた結果を調べることによって、その被試験素子について良不良を判定する必要のあることは同じである。しかも、同時に複数個の被試験素子をテストする場合には一層複雑な処理分けをしなければならず、試験結果の収集、分別及び総合に時間が掛り、被試験素子についての速やかな試験結果を得ることができず、試験速度の向上を図ることができない。

「問題点を解決するための手段」

この発明のICテストシステムは、被試験素子の入力端子への制御信号の設定命令、被試験素子の出力端子からの出力信号の測定命令などの実行命令が行単位で記録されたテストプログラムを行単位で読み出してその読み出した命令を複数の下位の処理装置へ送る上位の処理装置と、

上記上位の処理装置から送られた命令を実行するに必要とする各種制御乃至処理を、上記命令に応じたプログラムを読み出して、複数のハードウェアモジュールに対して行う上記複数の下位の処理装置と、

上記下位の処理装置からの制御乃至処理に応じて被試験素子にテスト信号を接続したり、被試験素子の出力信号を測定したりする上記複数のハードウェアモジュールとからなり、

上記複数の下位の処理装置と上記上位の処理装置との間に複数の信号線が接続され、

上記複数の下位の処理装置はそれぞれ複数被試験素子に対し良・不良の判定をする手段と、その各被試験素子ごとの判定結果を、その被試験素子と対応した上記信号線の1つにそれぞれ出力する手段とを有する。

「発明の作用」

この発明の構成によれば、中央処理装置はテストプログラムの行単位による実行するを制御し、プログラム行の実際の解説及び実行は専用の複数の処理装置によって分散して行われる。また、同時に試験された複数個の被試験素子についての試験結果はそれぞれ被試験素子別に唯一の信号線に出力される。

「実施例」

第1図はこの発明のICテストシステムの構成例を示す

ブロック図である。この例では、ICテストシステムは記憶装置（図示せず）に格納されているテストプログラムの実行するを制御する上位の処理装置21と、この上位の処理装置21に制御バス22を介して接続され、その上位の処理装置21の制御の下にプログラム行の実際の実行をする複数の下位の処理装置23A, 23B, 23C~23Nと、これ等下位の処理装置23A, 23B, 23C~23Nに制御線24を通じて制御されるハードウェアモジュール25A, 25B, 25C~25Nとで階層的に構成される。

即ち、被試験素子を試験するテストプログラムは試験の手順が行単位で記述され、上位処理装置21はそのテストプログラムを行単位で記憶装置から順次読出し、その読出したプログラム行について実行するか否かを制御する。

この上位の処理装置21には複数の下位の処理装置23A, 23B, 23C~23Nが接続されており、上位処理装置21は被試験素子のテスト状態をしながら読出したプログラム行を実行するかどうかを決め、実行するを決めたプログラム行の実際の実行は下位に設けられた複数の処理装置23A, 23B, 23C~23Nの何れかに委ねられる。

下位の各処理装置23A, 23B, 23C~23Nは被試験素子に対するテスト信号を制御するに適した専用の処理装置であり、それぞれに接続されているハードウェアモジュール25A, 25B, 25C~25Nを制御するに適した機械語をプログラム言語としている。処理装置23は上位の処理装置21からプログラム行の実行を委嘱されると、そのプログラム行を解説し、プログラム行の実行に入る。つまり、処理装置23A, 23B, 23C~23Nは被試験素子に対するテスト信号の入出力をする手順が記述された制御プログラムを、図には示していないが記憶装置に保持しており、与えられたプログラム行の解説結果によりその制御プログラムを読出して、プログラム行に記述されている信号の入出力制御をする手順を実行する。

この下位の処理装置23A, 23B, 23C~23Nはそれぞれに接続されているハードウェアモジュール25A, 25B, 25C~25Nにアクセスしたり、テスト状態（端子の接続や測定器の状態）等を変更したりするのに便利な命令語体系をもち、且つマクロ命令化されているので上位処理装置21が、その命令語体系でハードウェアモジュール25A, 25B, 25C~25Nに対して直接同じ処理をさせるより数十倍の処理速度が得られるように構成されている。このようにICテストシステムは、多数の入出力端子を有する被試験素子に対するDCテストをするに際し迅速な制御をすることができる。

また、処理装置23は、上位処理装置21から実行の委嘱を受けたプログラム行をそのまま実行するだけではなく、プログラム行を解説し、その解説結果に対して、被試験素子に対して予め情報が与えられている機能条件、例えば、最小クロック幅、入力条件、タイミング関係あるいは禁止条件などをチェックし、誤った入力信号を与え

てしまったり、甚だしくは被試験素子の破損を招くような信号状態に陥ることがないように判断しながら被試験素子に試験信号を出力し或いは出力信号の測定を行う。

ハードウェアモジュール25A, 25B, 25C~25Nは下位の処理装置23A, 23B, 23C~23Nのプログラム行の実行に伴う制御信号が供給され、被試験素子の指定された入力端子に対してテスト信号、例えば5.25Vの直流信号を出力したり或いは被試験素子の指定された出力端子からの信号を測定することができる。

このハードウェアモジュール25A, 25B, 25C~25Nはマイクロプロセッサ26を含んでいてもよい。このマイクロプロセッサ26は、多数の論理素子を置き換えただけの、複雑な判断機能を必要としない決められたシーケンスを高速に行うものである。このマイクロプロセッサ26は汎用のプロセッサが使用され、その動作が予めプログラミングされていて、処理装置23からの命令により被試験素子に対する信号の入出力を制御することができる。

以上のように下位の処理装置23A, 23B, 23C~23Nは上位の処理装置21の制御の下に被試験素子に対する試験の実際の処理の全てを実行し、上位の処理装置21は下位の各処理装置23A, 23B, 23C~23Nのプログラム行の実行制御及び試験結果の良否判定結果の収集など、ICテストシステム全体が有機的動作のみを行う。

更に、この発明では、下位の処理装置23A, 23B, 23C~23Nは被試験素子について得られた試験データについてその良否を判定し、その判定結果は被試験素子別にそれぞれ唯一一本づつの信号線27A, 27B~27Nを介して上位の処理装置に供給される。

第2図はこの発明の実施例の要部の構成例を示す図である。この実施例では、4つの信号線27A, 27B~27Dが示されており、最大で4個の被試験素子30A, 30B~30Dの試験が同時にできるように構成されている場合である。下位の各処理装置23A, 23B, 23C~23Nと上位の処理装置21とが各信号線27A, 27B~27Dを用いてそれぞれワイヤードオア回路31A, 31B, 31C~31Nと31Pとを介して接続され、下位の各処理装置23A, 23B, 23C~23Nはそれぞれの内部状態を示すステータス32A, 32B, 32C~32Nを各信号線27A, 27B~27Dに乗せることができるように構成される。

ICテストシステムは各試験素子30A, 30B~30Dに対して多くの試験を実施し、通常は、それらの試験項目の全てに合格した場合にだけその被試験素子30A, 30B~30Dを良品と判定する。この信号線27A, 27B~27Dは各被試験素子30A, 30B~30Dに関しての最終判定結果をそれぞれ収集するのに用いられる。

例えば、第1の被試験素子30Aの出力信号は、ハードウェアモジュール25aにより測定され、その測定データはハードウェアモジュール25aを制御している下位の処理装置23A, 23B, 23Cに読み込まれる。下位の処理装置23A, 23B, 23Cはそれらの測定データを必要に応じて補正し、最終的に求められたデータ値と基準値とを比較して

各データ値の良否を判定する。各判定結果は判定ステータス32aとして信号線27Aに出力される。第2の被試験素子30Bに関しては、他のハードウェアモジュール25bを用いて同様に試験が実施され、その測定データは下位の処理装置23B, 23C, …で良否が判定され、各試験項目の判定ステータス32bが信号線27Bに出力される。第3, 第4の被試験素子30C, 30Dに対する試験もその他のハードウェアモジュール25c, 25dを用いて実施され、それぞれの判定ステータス32c, 32dはそれぞれ信号線27C, 27Dに出力される。

この発明の構成によれば、各試験項目について、良の判定されるとステータスは『0』に操作され、不良と判定されるとステータスが『1』に操作される。それらの『0』或いは『1』のステータスはワイヤードオア回路31A, 31B, 31C~31Nを介して信号線27A, 27B~27Dに出力されるので、例えば、第1の信号線27Aに接続されるステータス32aが1つでも『1』に操作されていると、第1の信号線27Aは『1』の信号が乗せられて上位の処理装置21には『1』なる信号が供給される。つまり、第1の被試験素子30Aは不良と判断される。他方、信号線27Aに接続される全てのステータス32aが『0』に操作されていると、この場合だけ信号線27Aには『0』の信号が乗せられる。この『0』の信号が上位の処理装置21で読み取られると、被試験素子30Aは良品と判断される。従って、上位の処理装置21までの信号線27A, 27B~27Dに乗せられている信号を一回読み込むだけで、被試験素子30A, 30B~30Dに関してそれぞれ全試験項目が良であったか否かの最終結果を知ることができ、次の処理を迅速且つ適切に進めることができる。

第2図での説明では、ハードウェアモジュール25a, 25b~25d（第2図）は各被試験素子30A, 30B~30Dべつに特定して用いられるように説明したが、同一のハードウェアモジュール25が複数の被試験素子30A, 30B~30Dに対する試験に時分割的に割り当てられても良い。例えば、1つのハードウェアモジュール25A（第1図）が2つの被試験素子30A, 30Bに対して使用されるように制御するこ

ともできる。この場合には、そのハードウェアモジュール25Aによる2つの測定データは、そのハードウェアモジュール25Aを制御する下位の処理装置23Aの内部において分別処理されてそれぞれ別のステータスとして信号線27A, 27Bに乗せるように制御される。

また下位の各処理装置23A, 23B, 23C~23Nから上位の処理装置21への接続は信号線27とワイヤードオア回路31に限るものではなく、この発明を実現するための同等の手段を用いて構成しても良い。

「発明の効果」

以上に説明したように、この発明によれば、上位に在る処理装置は専らプログラム行の実行するを制御するよう構成し、プログラム行の実行は下位の複数の処理装置に分散させるようにした階層構造での制御を採るようにした。このように分散型アーキテクチャによる処理速度の向上を図ると共に、各階層毎に最適な命令語体系を使用しているので制御信号を出力するまでの処理が非常に早くなり、被試験素子に対するテストを高速に行うことができる。

また、この発明の構成によれば、同時に複数の被試験素子について多数の項目にわたる試験をしても、その多項目の試験結果は被試験素子別に異なる信号線にまとめて出力されるようにした。従って、上位の処理装置は各被試験素子ごとに1本の信号線を通して唯1回だけステータスを読みめばそれらの良不良を直ちに知ることができ、試験速度の向上に多大な効果がある。

【図面の簡単な説明】

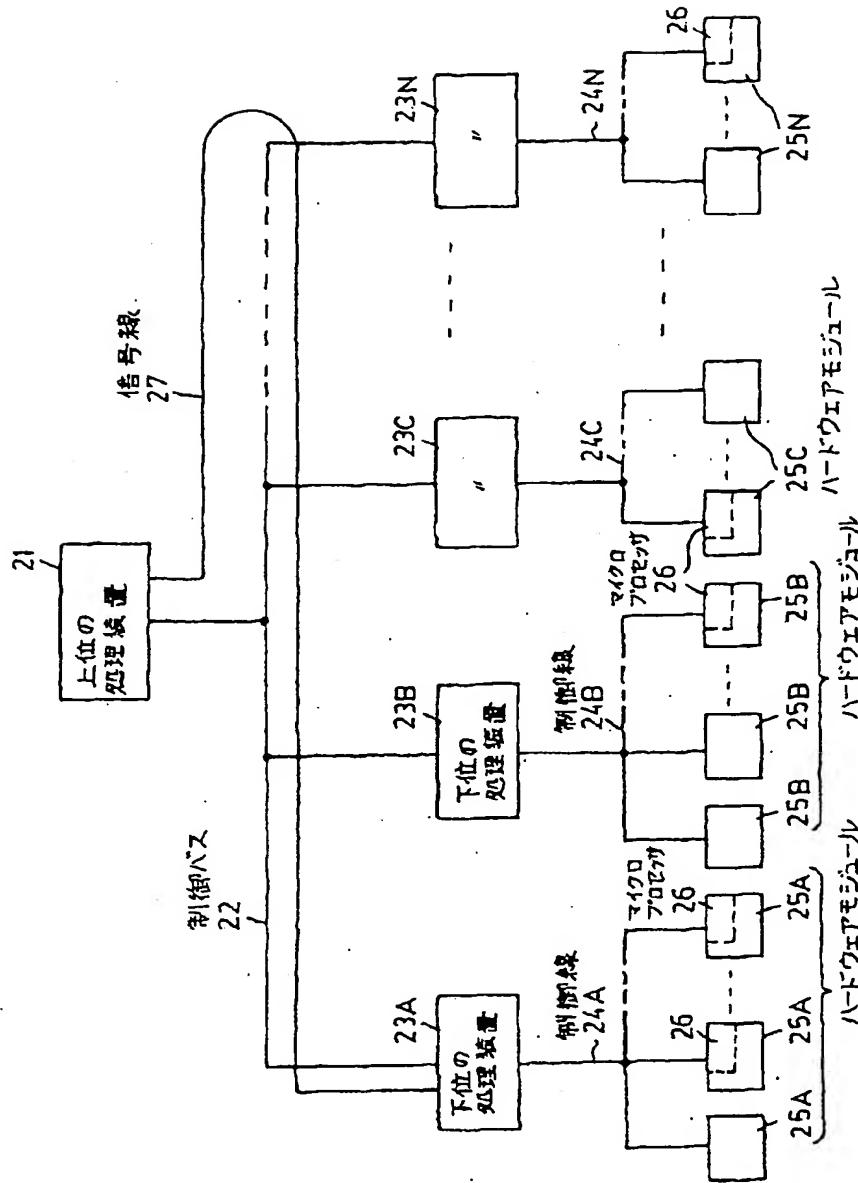
第1図はこの発明の実施例を示す構成図、第2図はこの発明の要部を示す回路構成図、第3図は従来のICテストシステムの構成例を示す図である。

11:中央処理装置、12:制御線、13:ハードウェアモジュール、14:マイクロプロセッサ、21:上位の処理装置、22:制御用バス、23:下位の処理装置、24:制御線、25:ハードウェアモジュール、26:マイクロプロセッサ、27:信号線、30:被試験素子、31:ワイヤードオア回路、32:ステータス。

(5)

第2583057号

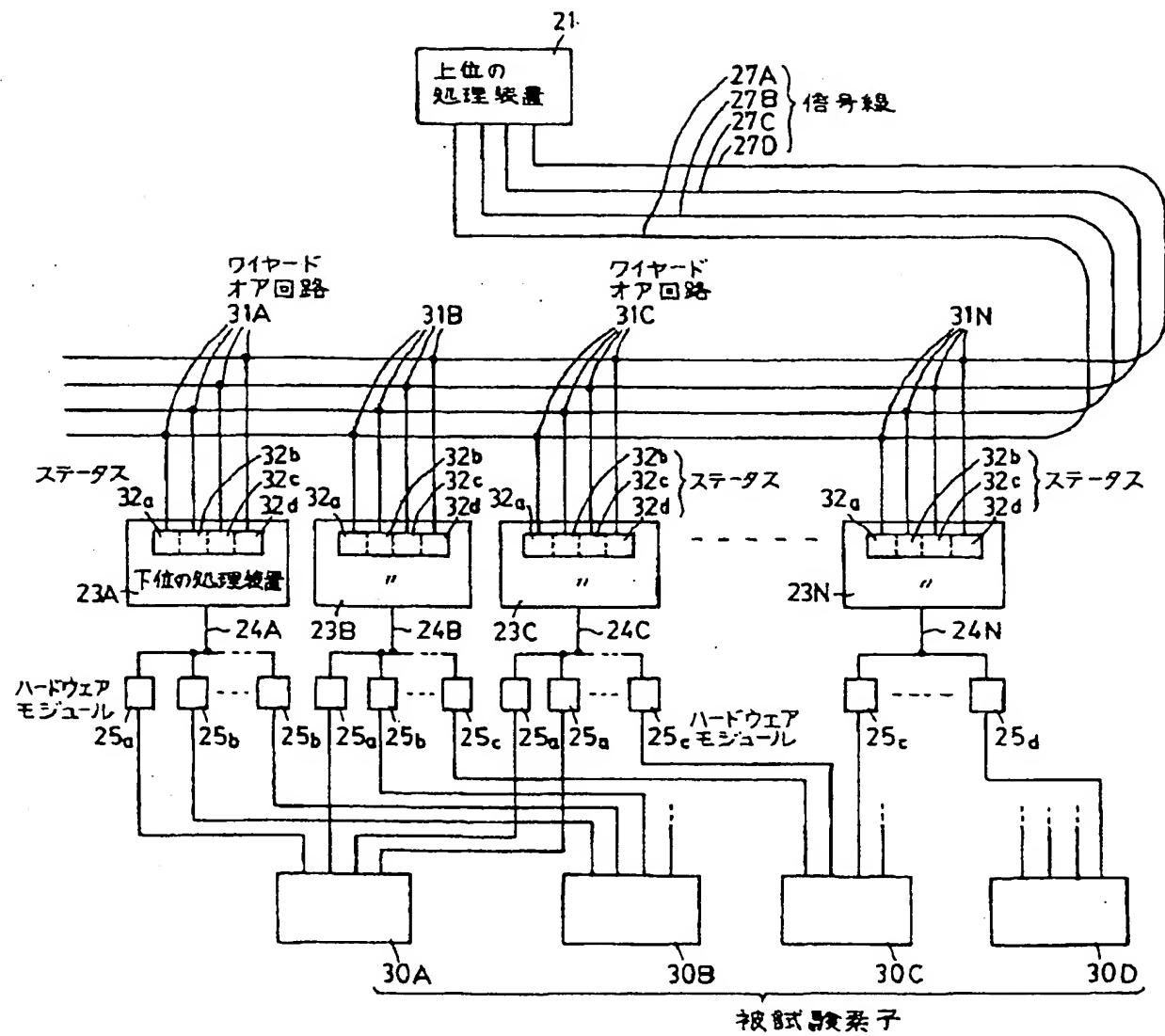
【第1図】



(6)

第 2583057 号

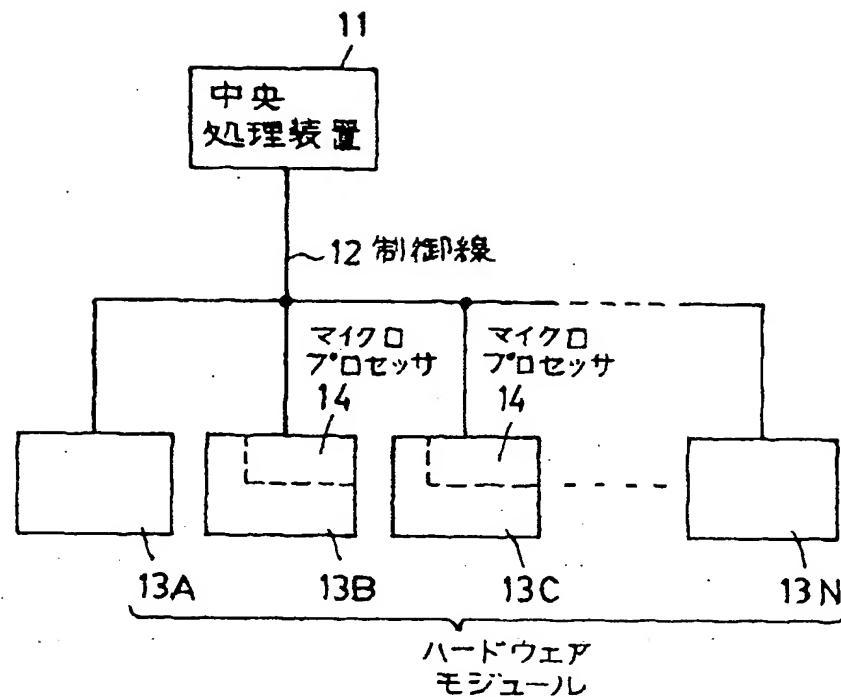
【第2図】



(7)

第2583057号

【第3図】



フロントページの続き

(56) 参考文献 樹下行三他著、「テストと信頼性」、
第1版第1刷昭和57年4月20日オーム社
発行、P. 114~115

2583057

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

(57) [Claim(s)]

[Claim 1] The processor of the high order which run commands, such as a setting instruction of the control signal to the input terminal of an examined component and a conversion command of the output signal from the output terminal of an examined component, read the test program recorded per line per line, and sends the read instruction to the processor of two or more low order, The program according to the above-mentioned instruction of the various control thru/or processing needed for executing the instruction sent from the processor of the above-mentioned high order is read. The processor of two or more above-mentioned low order performed to two or more hardware modules, It responds to control thru/or processing of the above-mentioned low order from a processor. Connect a test signal to an examined component, or It consists of two or more above-mentioned hardware modules which measure the output signal of an examined component. A means by which two or more signal lines are connected between the processor of two or more above-mentioned low order, and the processor of the above-mentioned high order, and the processor of two or more above-mentioned low order judges good and a defect to the component examined [two or more], respectively, IC test system which has a means to output the judgment result for every ***** component of that to one of the examined component and the above-mentioned corresponding signal lines, respectively.

[Translation done.]

NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

“Field of the Invention”

This invention relates to IC test system which has the distributed architecture which has a layered structure.

“Prior art”

Fig. 3 is drawing showing the example of a configuration of the conventional IC test system. A central processing unit 11 controls all the test actuation for the program the test sequence which examines an examined component was described to be being stored in storage (not shown), being constituted so that a central processing unit 11 may read and carry out sequential execution of the test program from storage, for example, examining a semiconductor memory component by IC test system.

Hardware modules 13A, 13B, 13C-13N are connected to the central processing unit 11 by the control line 12, and the control signal which a central processing unit 12 follows on performing by decoding a test program, and outputs is supplied to these hardware modules 13A, 13B, 13C-13N.

That control signal is a control signal for supplying the direct current signal of 5.25V to the predetermined input terminal of for example, an examined component, and if this control signal is supplied, hardware module 13A will supply the direct current signal of 5.25V to the input terminal with which the examined component was specified, for example.

Moreover, it is the control signal which orders it for the control signal which a central processing unit 11 outputs to measure a signal, and it will connect with the output terminal as which the examined component was specified, and hardware module 13B will measure that signal level, if this control signal is supplied in order to measure direct current voltage for example.

As for the hardware modules 13A, 13B, 13C-13N, such as this, the microprocessor 14 may be incorporated. When a test circuit is constructed only by the general-purpose logical element, even if it needs the logical element of the huge number, the circuit board can be constituted small by constructing many parts of a logical circuit by the microprocessor 14. The microprocessor 14 in this case is substitution of a mere logical element, sequence control for which it opted beforehand is only carried out, and usage which needs a special decision control function is not made general.

In such an IC test system, hardware modules 13A, 13B, 13C-13N are made into a number, and it has dozens of or more circuits, and, as for the examined component with few input/output terminals in comparison, they can usually examine some components to coincidence.

“The trouble which invention tends to solve”

While a central processing unit outputs the control signal for performing decode of a program, and activation, i.e., the trial of an examined component, to a hardware module etc., measurement of the signal which an examined component outputs, the judgment of the quality of a measurement result, etc. need to perform all operation control needed for actuation of IC test system.

For example, when a central processing unit supplies the digital data value to a hardware module in supplying the voltage signal described by the test program to an examined component, or

measuring the output signal of an examined component, the amendment conversion of the obtained measured value are carried out if needed, and as compared with a predetermined judgment table, a quality may be judged or it may rank.

Thus, the test result or measurement data was memorized for every hardware module, and the performed test result collected the test results memorized, and has made the judgment of the poor right one about the examined component by judging synthetically. Furthermore, great time amount will be spent on a judgment and synthesis of the measured value about each trial item, and a prompt trial cannot be performed. It is next to impossible to carry out a quick and exact trial to the examined component which has many input/output terminals for a DC test especially like current signal input-voltage signal output characteristics and voltage signal input-current signal output characteristics.

Moreover, according to IC test system, if you have left all the system controls to one set of a central processing unit, since a test period will become slow, the distributed processing system constituted using two or more processors can also be considered. It is the same that there is the need of judging right [poor] about the examined component by investigating the result in which one set of a main processing unit brought these test results together one by one, and it was brought together about various kinds of trial items which each processor performed by taking charge, respectively in such a distributed processing system. And when testing two or more examined components to coincidence, a much more complicated processing division must be carried out, collection of a test result, judgment, and synthesis can take time amount, the prompt test result about an examined component cannot be obtained, and improvement in a test period cannot be aimed at.

“The means for solving a trouble”

IC test system of this invention The setting instruction of the control signal to the input terminal of an examined component, The processor of the high order which run commands, such as a conversion command of the output signal from the output terminal of an examined component, read the test program recorded per line per line, and sends the read instruction to the processor of two or more low order, The program according to the above-mentioned instruction of the various control thru/or processing needed for executing the instruction sent from the processor of the above-mentioned high order is read. The processor of two or more above-mentioned low order performed to two or more hardware modules, It responds to control thru/or processing of the above-mentioned low order from a processor. Connect a test signal to an examined component, or It consists of two or more above-mentioned hardware modules which measure the output signal of an examined component. A means by which two or more signal lines are connected between the processor of the low order of the above-mentioned plurality, and the processor of the above-mentioned high order, and the processor of two or more above-mentioned low order judges good and a defect to the component examined [two or more], respectively, It has a means to output the judgment result for every ***** component of that to one of the examined component and the above-mentioned corresponding signal lines, respectively.

“An operation of invention”

According to the configuration of this invention, a central processing unit controls activation **** by the line unit of a test program, and actual decode and activation of a program line are performed by two or more processors of dedication distributing. Moreover, the test result about two or more examined components examined by coincidence is uniquely outputted to the signal line of a book according to an examined component, respectively.

“Example”

Fig. 1 is a block diagram showing the example of a configuration of IC test system of this invention. The processor 21 of the high order which controls activation **** of the test program by which IC test system is stored in storage (not shown) by this example, The processors 23A, 23B, 23C-23N of two or more low order which is connected to the processor 21 like besides through a control bus 22, and carries out actual activation of a program line to the bottom of control of the processor 21 of that high order, It consists of hardware modules 25A, 25B, 25C-25N controlled by the processors 23A, 23B, 23C-23N of low order, such as this, through the

control line 24 hierarchical.

That is, as for the test program which examines an examined component, an experimental procedure is described per line, and it controls whether a host processor 21 performs the test program about read-out and its read program line one by one from storage per line.

The processors 23A, 23B, 23C-23N of two or more low order are connected to the processor 21 like besides, and actual activation of the program line which decided whether a host processor 21 would perform the program line read while seeing the test condition of an examined component, and determined activation **** is left for two or more processors [which were formed in low order / 23A, 23B 23C-23N] any being.

Each low-ranking processors 23A, 23B, 23C-23N are processors of dedication suitable for controlling the test signal to an examined component, and make programming language the absolute language suitable for controlling the hardware modules 25A, 25B, 25C-25N connected to each. If a processor 23 is entrusted with activation of a program line from the processor 21 of a high order, it will decode the program line and will start activation of a program line. That is, although Processors 23A, 23B, 23C-23N do not show in drawing the control program with which the procedure which outputs and inputs the test signal to an examined component was described, they are held to storage, the control program is read by the decode result of the given program line, and the procedure which carries out input/output control of the signal described by the program line is performed.

The processors 23A, 23B, 23C-23N of this low order access the hardware modules 25A, 25B, 25C-25N connected to each, or It has an instruction word system convenient to change a test condition (connection of a terminal and condition of a measuring instrument) etc. And since it is macro-instruction-ized, it is constituted so that the processing speed of a number decade may be obtained, rather than a host processor 21 carries out the directly same processing to hardware modules 25A, 25B, 25C-25N for the instruction word system. Thus, IC test system is faced carrying out the DC test to the examined component which has many input/output terminals, and can carry out quick control.

Moreover, a processor 23 decodes a program line and it not only performs the program line which received request of activation from the host processor 21 as it is, but receives the decode result. The functional conditions to which information is beforehand given to the examined component, for example, the minimum clock width of face, An input condition, timing relationship, or prohibition conditions are checked, judging that the mistaken input signal is not given or it does not lapse into a signal state which causes breakage of an examined component greatly, a stimulus is outputted to an examined component or an output signal is measured. The control signal accompanying activation of a low-ranking processors [23A, 23B, 23C-23N] program line is supplied, and hardware modules 25A, 25B, 25C-25N can measure a test signal, for example, the signal from an output terminal with which the direct current signal of 5.25V was outputted, or the examined component was specified, to the input terminal with which the examined component was specified.

These hardware modules 25A, 25B, 25C-25N may contain the microprocessor 26. This microprocessor 26 performs the decided sequence which does not need the complicated judgment function which replaced many logical elements at a high speed. A general-purpose processor is used, that actuation is programmed beforehand, and this microprocessor 26 can control I/O of the signal over an examined component by the instruction from a processor 23. As mentioned above, the low-ranking processors 23A, 23B, 23C-23N perform all the experimental actual processings to an examined component under control of the processor 21 of a high order, and, as for the processor 21 of a high order, the whole IC test system, such as execution control of an each low-ranking processors [23A 23B, 23C-23N] program line and collection of the quality judging result of a test result, performs only organic actuation.

Furthermore, in this invention, the low-ranking processors 23A, 23B, 23C-23N judge that quality about the test data obtained about the examined component, and that judgment result is uniquely supplied according to an examined component at the processor of a high order through the signal lines 27A, 27B-27N of every a book, respectively.

Fig. 2 is drawing showing the example of a configuration of the important section of the example

of this invention. It is the case where it consists of this example so that four signal lines 27A, 27B-27D may be shown and the trial of four examined components 30A, 30B-30D may be made to coincidence at the maximum. Each low-ranking processors 23A, 23B, 23C-23N and the processor 21 of a high order are connected through wye yard OR circuits 31A, 31B, 31C-31N and 31P using each signal lines 27A, 27B-27D, respectively. Each low-ranking processors 23A, 23B, 23C-23N are constituted so that the statuses 32A, 32B, 32C-32N which show each internal state can be put on each signal lines 27A, 27B-27D.

IC test system examines many to each trial components 30A, 30B-30D, and only when all those trial items are passed, it usually judges the examined components 30A, 30B-30D to be an excellent article. These signal lines 27A, 27B-27D are used for collecting the last judging results about each ***** components 30A, 30B-30D, respectively.

For example, the output signal of 1st examined component 30A is measured by hardware module 25a, and the measurement data is read into the processors 23A, 23B, and 23C of the low order which is controlling hardware module 25a. The low-ranking processors 23A, 23B, and 23C amend those measurement data if needed, compare the data value and reference value which were finally calculated, and judge the quality of each data value. Each judgment result is outputted to signal-line 27A as judgment status 32a. Also about 2nd examined component 30B, a trial is similarly carried out using other hardware module 25b, a quality is judged by the low-ranking processors 23B and 23C and --, and, as for the measurement data, judgment status 32b of each trial item is outputted to signal-line 27B. The trial to the 3rd and 4th examined component 30C and 30D is also carried out using the other hardware modules 25c and 25d, and each judgment status 32c and 32d is outputted to signal lines 27C and 27D, respectively.

According to the configuration of this invention, about each trial item, if good is judged, the status will be operated by "0", and the status will be operated by "1" if judged with it being poor. Since those statuses of "0" or "1" are outputted to signal lines 27A, 27B-27D through wye yard OR circuits 31A, 31B, 31C-31N For example, as for 1st signal-line 27A, "1" actuation of at least one status 32a connected to 1st signal-line 27A supplies the signal with which the signal of "1" is put and "1" Becomes the processor 21 of a high order. That is, 1st examined component 30A is judged to be poor. On the other hand, "0" actuation of all status 32a connected to signal-line 27A puts the signal of "0" on signal-line 27A only in this case. If this signal of "0" is read with the processor 21 of a high order, examined component 30A will be judged to be an excellent article. Therefore, only by reading once the signal put on the signal lines 27A, 27B-27D to the processor 21 of a high order, the final result of whether all trial items were good, respectively can be known about the examined components 30A, 30B-30D, and the next processing can be advanced quickly and appropriately.

explanation in Fig. 2 -- hardware modules 25a, 25b-25d (Fig. 2) -- each ***** components 30A and 30 -- B to 30 D, it specifies independently, and although it explained that it was used, the same hardware module 25 may be assigned to the trial to two or more examined components 30A, 30B-30D in time sharing. For example, it is also controllable so that one hardware module 25A (Fig. 1) is used to two examined components 30A and 30B. In this case, two measurement data based on that hardware module 25A is controlled to carry out judgment processing in the interior of processor 23A of the low order which controls that hardware module 25A, and to put on signal lines 27A and 27B as the respectively different status.

Moreover, the connection with the low-ranking processor 21 of a high order from each processors 23A, 23B, 23C-23N may not be restricted to a signal line 27 and wye yard OR circuit 31, and may be constituted using the equivalent means for realizing this invention.

"Effect of the invention"

As explained above, according to this invention, the processor in a high order is constituted so that activation **** of a program line may be controlled chiefly, and actual activation of a program line took control by the layered structure made it make two or more low-ranking processors distribute. Thus, while aiming at improvement in the processing speed by distributed architecture, since the optimal instruction word system is used for every hierarchy, processing until it outputs a control signal becomes early very much, and the test to an examined component can be performed at a high speed.

Moreover, according to the configuration of this invention, even if it carried out the trial covering many items to coincidence about two or more examined components, the test result of those many items is summarized to a different signal line according to an examined component, and was made to be outputted. Therefore, if only one ** reads the status through one signal line for every ***** component, the processor of a high order can know right [those / poor] immediately, and great effectiveness is in improvement in a test period.

[Translation done.]

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

The block diagram showing [1] the example of this invention, the circuitry Fig. showing [2] the important section of this invention, and Fig. 3 are drawings showing the example of a configuration of the conventional IC test system.

11: A central processing unit, 12:control line, 13:hardware module, 14:microprocessor, the processor of 21:high order, the bus for 22:control, the processor of 23:low order, 24:control line, 25:hardware module, 26:microprocessor, 27:signal line, the component examined [30:], 31:wyer OR circuit, 32 : status.

[Translation done.]